

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-059157

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

H03G 3/10

H03F 1/30

(21)Application number : 10-236598

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 10.08.1998

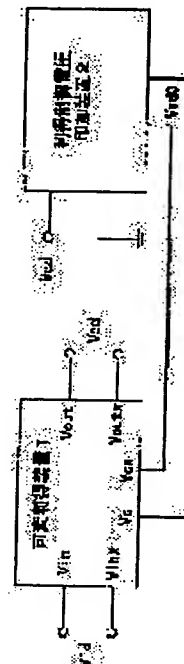
(72)Inventor : IKEDO TAIICHI
TATE MASAMICHI

(54) GAIN CONTROLLER AND GAIN CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To turn the temperature dependency of gain control characteristics in a gain controller to almost zero.

SOLUTION: This gain controller is provided with a variable gain device 1 for varying gain by a gain control voltage Vcd0 supplied to gain control terminals Vc and Vcx and a gain control voltage application device 2 for supplying the gain control voltage to the control gain terminal of the variable gain device. The gain control voltage Vcd0 is provided with a temperature coefficient equivalent to a thermal voltage. In such a manner the temperature dependency of the gain is turned to almost zero.



LEGAL STATUS

[Date of request for examination]

01.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-59157

(P2000-59157A)

(43) 公開日 平成12年2月25日 (2000. 2. 25)

(51) Int.Cl. ⁷	識別記号	F I	サーポート* (参考)
H 0 3 G 3/10		H 0 3 G 3/10	A 5 J 0 9 0
H 0 3 F 1/30		H 0 3 F 1/30	A 5 J 1 0 0

審査請求 未請求 請求項の数9 F D (全 16 頁)

(21) 出願番号 特願平10-236598

(22) 出願日 平成10年8月10日 (1998. 8. 10)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 池戸 耐一

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(72) 発明者 館 政道

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(74) 代理人 100099254

弁理士 役 昌明 (外3名)

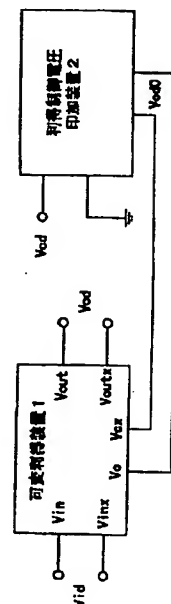
最終頁に続く

(54) 【発明の名称】 利得制御装置及び利得制御方法

(57) 【要約】

【課題】 利得制御装置における利得制御特性の温度依存性をほぼ零にする。

【解決手段】 利得制御端子 V_c 、 V_{cx} に与えられる利得制御電圧 V_{cd0} により利得を変変する可変利得装置1と、この可変利得装置の制御利得端子に利得制御電圧を与える利得制御電圧印加装置2とを設けた利得制御装置において、この利得制御電圧 V_{cd0} に、熱電圧と同等の温度係数を持たせる。こうすることで利得の温度依存性をほぼ零にすることができる。



【特許請求の範囲】

【請求項1】 利得制御端子に与えられる利得制御電圧により利得を可変する可変利得装置と、前記可変利得装置の利得制御端子に利得制御電圧を与える利得制御電圧印加装置とを備えた利得制御装置であって、前記利得制御電圧が、熱電圧と同等の温度係数を持つことを特徴とする利得制御装置。

【請求項2】 利得制御端子に与えられる利得制御電圧により利得を可変する複数の可変利得装置と、前記複数の可変利得装置の各利得制御端子に電圧を与える利得制御電圧印加装置と、前記複数の可変利得装置に印加される各利得制御電圧に対して、互いに異なるオフセット電圧を与えるオフセット電圧印加装置とを備え、前記複数の可変利得装置が連続接続されている利得制御装置であって、前記利得制御電圧と前記オフセット電圧とを加えた電圧が、熱電圧と同等の温度係数を持つことを特徴とする利得制御装置。

【請求項3】 利得制御電圧に応じて利得を可変する可変利得装置の利得制御方法において、前記可変利得装置に、熱電圧と同等の温度係数を持つ利得制御電圧を与えることを特徴とする利得制御方法。

【請求項4】 利得制御電圧に応じて利得を可変する複数の可変利得装置を連続接続した利得制御装置の利得制御方法において、前記複数の可変利得装置の各々に、共通の利得制御電圧と互いに異なるオフセット電圧とを加えた電圧に熱電圧と同等の温度係数を持たせて与えることを特徴とする利得制御方法。

【請求項5】 前記利得制御電圧をデジタル信号により生成することを特徴とする請求項1または2に記載の利得制御装置。

【請求項6】 前記利得制御電圧をデジタル信号により生成することを特徴とする請求項3または4に記載の利得制御方法。

【請求項7】 請求項1、2または5に記載の利得制御装置を具備する携帯端末装置。

【請求項8】 請求項1、2または5に記載の利得制御装置を具備する基地局装置。

【請求項9】 請求項7の携帯端末装置と請求項8の基地局装置とから成る通信システム。

【発明の詳細な説明】

* 40

$$\Delta I_1 = V_{id} / (2VT / I_1 + RE_1) \quad (式1)$$

ここで、 I_1 は電流源181、182の各電流値であり、 VT ※は熱電圧であり、 VT は(式2)で与えられる。

$$VT = kT / q \quad (式2)$$

ここで、 k はボルツマン定数、 T は絶対温度、 q は電荷量である。

【0005】 ΔI_1 は利得制御電圧 V_{cd} に応じて、ト★

$$\Delta I_{1a} = M \Delta I_1 / (1 + M) \quad (式3)$$

ここで、 M は(式4)で表される。

$$M = \exp(V_{cd} / VT) \quad (式4)$$

【0006】同様に、トランジスタ106のコレクタ

* 【0001】

【発明の属する技術分野】本発明は、例えば移動体通信システムの送受信機に用いて好適な利得制御装置と利得制御方法、及び、その利得制御装置を具備する携帯端末装置や基地局装置に関し、特に、利得制御特性の温度依存性をほぼ零にしたものである。

【0002】

【従来の技術】移動体通信の送受信機では、送信出力制御などのために利得制御装置が用いられている。

【0003】図8には、従来の利得制御装置に用いられている可変利得装置の回路を示している。入力電圧 V_{id} はトランジスタ101、111の各ベース(V_{in} 端子)とトランジスタ102、112の各ベース(V_{inx} 端子)との間に入力される。トランジスタ101、102の各エミッタは、抵抗183を介して接続され、電流源181、182を介して接地されており、また、トランジスタ111、112の各エミッタは、抵抗193を介して接続され、電流源191、192を介して接地されている。トランジスタ103、104の各エミッタはトランジスタ101のコレクタに接続されており、トランジスタ105、106の各エミッタは102のコレクタに接続され、トランジスタ113、114の各エミッタはトランジスタ111のコレクタに接続され、トランジスタ115、116の各エミッタは112のコレクタに接続されている。また、利得制御電圧 V_{cd} はトランジスタ103、106、114、115の各ベース(V_{cx} 端子)及びトランジスタ104、105、113、116の各ベース(V_{cx} 端子)との間に入力されている。さらに、トランジスタ103、113の各コレクタ(V_{outx} 端子)は抵抗171を介して電源に接続され、トランジスタ106、116の各コレクタ(V_{out} 端子)は抵抗172を介して電源に接続されている。トランジスタ104、105、114、115の各コレクタは電源に接続されており、トランジスタ113、116の各コレクタ間から出力電圧 V_{od} が出力される。

【0004】次に、図8に示した回路の動作を説明する。入力電圧 V_{id} が与えられ、トランジスタ101のコレクタ電流が $+\Delta I_1$ となり、トランジスタ102のコレクタ電流が $-\Delta I_1$ となるとする。ここで、 ΔI_1 は、抵抗183の抵抗値を RE_1 とすると、(式1)で表される。

★トランジスタ103から106によって電流分割される。トランジスタ103のコレクタ電流を ΔI_{1a} とすると、 ΔI_{1a} は(式3)で表される。

50 電流を ΔI_{1b} とすると、 ΔI_{1b} は(式5)で表され

る。

$$\Delta I_{1b} = -\Delta I_{1a} \quad (式5)$$

【0007】同様に、入力電圧 V_{id} が与えられ、トランジスタ111のコレクタ電流が $+\Delta I_2$ となり、トランジスタ112のコレクタ電流が $-\Delta I_2$ となるとす *

る。ここで、 ΔI_2 は、抵抗193の抵抗値を R_{E2} とすると、(式6)で表される。

$$\Delta I_2 = V_{id} / (2V_T / I_2 + R_{E2}) \quad (式6)$$

ここで、 I_2 は電流源191、192の各電流値であり、 V_T は熱電圧である。

※トランジスタ113から116によって電流分割される。トランジスタ113のコレクタ電流を ΔI_{2a} とすると、 ΔI_{2a} は(式7)で表される。

【0008】 ΔI_2 は、利得制御電圧 V_{cd} に応じて、※

$$\Delta I_{2a} = \Delta I_2 / (1+M) \quad (式7)$$

【0009】同様に、トランジスタ116のコレクタ電流を ΔI_{2b} とすると、 ΔI_{2b} は(式8)で表され★

$$\Delta I_{2b} = -\Delta I_{2a} \quad (式8)$$

【0010】出力電圧 V_{od} は、抵抗171、172の各抵抗値を R_L とすると、(式9)で表される。

$$V_{od} = R_L \{ (\Delta I_{1a} + \Delta I_{2a}) - (\Delta I_{1b} + \Delta I_{2b}) \} \quad (式9)$$

【0011】(式9)に(式3)、(式5)、(式7)及び(式8)を代入して整理すると、(式10)が得ら◆

$$V_{od} = 2R_L (M\Delta I_1 + \Delta I_2) / (1+M) \quad (式10)$$

【0012】(式10)に(式1)、(式6)を代入して整理すると、利得 $G (=V_{od}/V_{id})$ を表す(式*

$$G = R_L (M \cdot g_{m1} + g_{m2}) / (1+M) \quad (式11)$$

ただし、 g_{m1} 、 g_{m2} はそれぞれ(式12)、(式13)で与えられる。

$$g_{m1} = 1 / (V_T / I_1 + R_{E1} / 2) \quad (式12)$$

$$g_{m2} = 1 / (V_T / I_2 + R_{E2} / 2) \quad (式13)$$

【0013】 M は、(式4)に示すように、利得制御電圧 V_{cd} の項を含んでおり、利得 G を利得制御電圧 V_{cd} に対して変化させることができる。

★大ゲイン G_{max} は、 $V_{cd} > 0$ の場合であり、このとき(式4)から M は無限大に収束し、(式11)から、 G_{max} は(式14)となる。

【0014】今、 $g_{m1} \gg g_{m2}$ とする。このとき★

$$G_{max} = R_L \cdot g_{m1} \quad (式14)$$

【0015】同様に、最小ゲイン G_{min} は、 $V_{cd} < 0$ の場合であり、このとき(式4)から M は零に収束★

☆し、(式12)から、 G_{min} は(式15)となる。

$$G_{min} = R_L \cdot g_{m2} \quad (式15)$$

【0016】利得制御幅 ΔG は、 G_{max} と G_{min} と◆の比で表され、(式16)のようになる。

$$\Delta G = G_{max} / G_{min} = g_{m1} / g_{m2} \quad (式16)$$

【0017】図11に $I_1 = 1\text{mA}$ 、 $I_2 = 0.1\text{mA}$ 、 $R_{E1} = 100\Omega$ 、 $R_{E2} = 1\text{k}\Omega$ 、 $R_L = 500\Omega$ とした場合の常温での利得制御特性を示している。

【0018】

【発明が解決しようとする課題】ところが、(式11)で与えられる利得 G は、温度に依存する変数として、 M や g_{m1} (g_{m2})を含んでいる。さらに、図8の可変利得装置を集積回路化したとすると、集積回路内部の抵抗は温度係数を持つため、(式11)の R_L も温度に依存する変数となる。

*ては、電流源181、182、191及び192の電流値を V_T/R 比例になるように設定することで、 g_{m1} 、 g_{m2} の温度特性を R 比例、すなわち抵抗の温度係数を持つように設定することは容易であるため、(式11)の R_L の温度係数と打ち消し合うように設定できる。そして、(式4)で与えられる M は、 $V_{cd} = 0$ のときに限り、常に $M = 1$ となり、温度特性を持たないため、 $V_{cd} = 0$ のときに限り、利得 G は温度に依存しないで一定となる図12のような特性を示す。

【0019】これらの温度に依存する変数のうち、(式12)、(式13)で与えられる g_{m1} 、 g_{m2} について

【0020】 $V_{cd} = 0$ ($M = 1$) のときのゲイン G_0 は、(式11)から(式17)で与えられる。

$$G_0 = R_L (g_{m1} + g_{m2}) / 2 \quad (式17)$$

(式17)は $g_{m1} \gg g_{m2}$ とすると、(式18)の※ ※ように近似できる。

$$G_0 = R_L \cdot g_{m1} / 2 = G_{max} / 2 \quad (式18)$$

【0021】すなわち、G0は最大ゲインGmaxから約6dB低下した点となる。よって、図12に示すように利得可変幅を約20dB確保する例では、高ゲインでの温度特性の変動と比較すると、低ゲインでの温度特性の変動が大きくなっている。

【0022】ところで、CDMA (Code Division Multiple Access) に代表されるような通信方式に使用される送受信機には80~90dBの利得制御幅を持ち、か*

$$GT = G1 \cdot G2 \cdot G3 \cdot G4 \cdot G5 \quad (式19)$$

ここで、Gn (nは1から5の整数) は、(式11) か*10※ら、(式20) で表される。

$$Gn = RL (Mn \cdot gm1 + gm2) / (1 + Mn) \quad (式20)$$

ただし、Mn (nは1から5の整数) は(式21) で表★ ★される。

$$Mn = \exp \{ (Vcd + Voffn) / VT \} \quad (式21)$$

【0024】図8に示した可変利得装置において、回路定数をI1=1mA、I2=0.1mA、RE1=100Ω、RE2=1kΩ、RL=500Ωとしたものを5段継続接続し、各段のオフセット電圧Voffnを{0.1×(n-3)}V (nは1から5の整数) とした場合の常温での利得制御特性を図13に示し、温度特性を図14に示す。

【0025】しかしながら、図14に示すように、温度特性は、高ゲインでの温度特性の変動と比較して低ゲインでの温度特性の変動が大きくなるという影響がさらに顕著に現れる。この問題を緩和する方法として、特開平8-46463号公報では、利得制御電圧Vcdに温度特性を持った補正電圧を加えて、温度に依存しない点を、最大ゲインGmaxから約6dB低下した点ではなく、最大ゲインGmaxと最小ゲインGminとの中点(センターゲイン)にシフトすることにより、高ゲインでの温度特性の変動と低ゲインでの温度特性の変動とを同一にすることで、温度特性の変動を低減している。しかしながら、システムからさらに厳しい温度特性が要求された場合に答えられない可能性がある。

【0026】本発明は、こうした課題を解決するものであり、利得制御特性の温度依存性をほぼ零にすることができる利得制御装置を提供し、また、その利得制御方法を提供し、さらに、厳しい温度特性の要求に応えることができる携帯端末装置及び基地局装置を提供することを目的としている。

【0027】

【課題を解決するための手段】そこで、本発明では、可変利得装置の利得制御特性の温度依存性が、(式4)におけるMの温度依存性に支配されることから、利得制御電圧Vcdの温度特性をVT比例に、即ち、熱電圧の温度係数を持つように、設定することで、利得制御特性の温度依存性をほぼ零にしている。

【0028】また、複数段に継続接続された可変利得装置にオフセット電圧を加えた利得制御電圧を与えて、利得制御幅を広げ、利得制御特性の直線性を拡張する場合では、この利得制御特性の温度依存性が、(式21)に

*つ、直線性に優れた利得制御特性が要求されている。そのため、図8に示した可変利得装置を複数段に継続接続し、各段の可変利得装置の利得制御電圧にオフセット電圧を与えて、各段の可変利得装置の利得制御幅を適当に重ね合わせることで、より広い利得制御幅を持ち、直線性に優れた利得制御特性が得られるようにしている。

【0023】この場合の総合利得GTは(式19)で表される。

おけるMnの温度依存性に支配されることから、利得制御電圧Vcdとオフセット電圧Voffnとを加えた電圧、(Vcd+Voffn)の温度特性をVT比例に設定することで、利得制御特性の温度依存性をほぼ零にしている。

【0029】

20 【発明の実施の形態】本発明の請求項1に記載の発明は、利得制御端子に与えられる利得制御電圧により利得を可変する可変利得装置と、この可変利得装置の制御利得端子に利得制御電圧を与える利得制御電圧印加装置とを設けた利得制御装置において、この利得制御電圧に、熱電圧と同等の温度係数を持たせるようにしたものであり、利得の温度依存性をほぼ零にすることができる。

【0030】請求項2に記載の発明は、利得制御端子に与えられる利得制御電圧により利得を可変する複数の可変利得装置と、この複数の可変利得装置の各利得制御端子に電圧を与える利得制御電圧印加装置と、この複数の可変利得装置に印加される各利得制御電圧に対して、互いに異なるオフセット電圧を与えるオフセット電圧印加手段とを設け、複数の可変利得装置を継続接続した利得装置において、この利得制御電圧とオフセット電圧とを加えた電圧に、熱電圧と同等の温度係数を持たせるようにしたものであり、広い利得制御幅を持ち、直線性に優れた利得制御特性を持つとともに、利得の温度依存性をほぼ零にすることができる。

【0031】請求項3に記載の発明は、利得制御電圧に応じて利得を可変する可変利得装置の利得制御方法において、可変利得装置に、熱電圧と同等の温度係数を持つ利得制御電圧を与えるようにしたものであり、この可変利得装置の利得制御特性の温度依存性をほぼ零にすることができる。

【0032】請求項4に記載の発明は、利得制御電圧に応じて利得を可変する複数の可変利得装置を継続接続した利得制御装置の利得制御方法において、複数の可変利得装置の各々に、共通の利得制御電圧と互いに異なるオフセット電圧とを加えた電圧に熱電圧と同等の温度係数を持たせて与えるようにしたものであり、広い利得制御

幅を持ち、優れた直線性を持つ利得制御特性の温度依存性をほぼ零にすることができる。

【0033】請求項5に記載の発明は、請求項1または2の利得制御装置において、利得制御電圧をデジタル信号により生成するようにしたものであり、素子バラツキなどの影響を受けにくくすることができる。

【0034】請求項6に記載の発明は、請求項3または4の利得制御方法において、利得制御電圧をデジタル信号により生成するようにしたものであり、素子バラツキなどの影響を受けにくくすることができる。

【0035】請求項7に記載の発明は、請求項1、2または5に記載の利得制御装置を携帯端末装置に持たせたものであり、通信システムの厳しい温度特性の要求に応え得る携帯端末装置を構成することができる。

【0036】請求項8に記載の発明は、請求項1、2または5に記載の利得制御装置を基地局装置に持たせたものであり、通信システムの厳しい温度特性の要求に応え得る基地局装置を構成することができる。

【0037】請求項9に記載の発明は、請求項7の携帯端末装置と請求項8の基地局装置とで通信システムを構成したものであり、携帯端末装置と基地局装置との間で、安定した、高品質な通信を行なうことが可能となる。

【0038】以下、本発明の実施の形態について、図面を用いて説明する。

【0039】(第1の実施形態) 本発明の第1実施形態における利得制御装置を図1に示す。可変利得装置1の*

$$I_R = (V_{cdmax} - V_{cd}) / \{RA(1 + \alpha \Delta T)\} \quad (式22)$$

【0042】電流源14は、常温で (V_{cdmax} / R_A) の電流源を持ち、かつ、 V_T / R 比例の電流を出力する。このような特性を持つ電流は、通称バンドギャップ回路と呼ばれる回路により容易に得ることができる。*

$$I_{VTR} = \{V_{cdmax}(1 + \beta \Delta T)\} / \{RA(1 + \alpha \Delta T)\} \quad (式23)$$

【0043】カレントミラー回路11の入力端子INに流れる電流と第1の出力端子OUT1に流れる電流との比を1に設定すれば、カレントミラー回路11の入力端子INに電流値 I_R の電流が流れるので、カレントミラー回★

$$I_{OUTA} = (V_{cd} + V_{cdmax} \cdot \beta \Delta T) / \{RA(1 + \alpha \Delta T)\} \quad (式24)$$

【0044】電圧制御電流源15は、利得制御電圧 V_{cd} が入力されると、 $(V_{cdmax} - V_{cd})$ の電圧値に比例し、かつ、温度に依存しない電力を出力する。このような特性を持つ電力は、電圧 $(V_{cdmax} - V_{cd})$ ☆

$$I_0 = (V_{cdmax} - V_{cd}) / RA \quad (式25)$$

【0045】カレントミラー回路11の入力端子INに流れる電流と第2の出力端子OUT2に流れる電流との比を1に設定すれば、カレントミラー回路11の入力端子INに電流値 I_R の電流が流れるので、カレントミラー回◆

$$I_{OUTB} = \{(V_{cdmax} - V_{cd}) \alpha \Delta T / \{RA(1 + \alpha \Delta T)\}\}$$

*利得制御端子 V_c 、 V_{cx} には、利得制御電圧印加装置2が接続されており、利得制御電圧印加装置2によって利得制御電圧 V_{cd} から変換された実利得制御電圧 V_{cd0} が与えられている。なお、可変利得装置1は図8の可変利得装置と同一のものである。

【0040】利得制御電圧印加装置2の回路例を図2に示す。利得制御電圧 V_{cd} により制御される電圧制御電流源13は、2出力カレントミラー回路11の入力端子INに接続されている。カレントミラー回路11の第1の出力端子OUT1は、電流源14と温度係数補正用カレントミラー回路12の出力端子OUTと抵抗16とに接続されている。カレントミラー回路11の第2の出力端子OUT2は、利得制御電圧 V_{cd} により制御される電圧制御電流源15と温度係数補正用カレントミラー回路12の入力端子INとに接続されている。抵抗16に発生する電圧が可変利得装置1の実利得制御電圧 V_{cd0} となる。

【0041】次に、図2に示した回路の動作について説明する。電圧制御電流源13は、利得制御電圧 V_{cd} が入力されると、 $(V_{cdmax} - V_{cd})$ の電圧値に比例し (V_{cdmax} は V_{cd} の最大値)、かつ $1/R$ 比例の電流を出力する。このような特性を持つ電流は、電圧 $(V_{cdmax} - V_{cd})$ を、温度特性をもつ抵抗に与えることで容易に得ることができる。電圧制御電流源13の電流値 I_R は、抵抗の温度係数を $+\alpha$ ($\alpha > 0$) とすると、常温での抵抗値を RA 、常温からの温度変化を ΔT とすると、(式22)で表される。

※電流源14の電流値 I_{VTR} は、熱電圧の温度係数を $+\beta$ ($\beta > 0$; 約 $+3300 \text{ ppm}$) とすると、(式23)で表される。

★路11の第1の出力端子OUT1からは電流値 I_R の電流が流れる。よって、図2のA点から流れ出す電流 I_{OUTA} の電流値は、 $(I_{VTR} - I_R)$ となり、(式22)、(式23)から(式24)で表される。

☆d) を温度特性を持たない抵抗に与えることで容易に得ることができる。電圧制御電流源15の電流値 I_0 は、抵抗値を RA とすると、(式25)で表される。

◆路11の第2の出力端子OUT2からは電流値 I_R の電流が流れる。よって、図2のB点から流れ出す電流 I_{OUTB} の電流値は、 $(I_0 - I_R)$ となり、(式22)、(式25)から(式26)で表される。

【0046】温度係数補正用カレントミラー回路12の入力端子INに流れる電流と出力端子OUTに流れる電流との比を (β/α) に設定すれば、温度係数補正用カレントミラー回路12の入力端子INに電流値 I_{OUTB} の*

$$I_{OUTC} = \{ (V_{cdmax} - V_{cd}) \beta \Delta T / \{ RA (1 + \alpha \Delta T) \} \}$$

(式27)

【0047】よって、抵抗16に流れ出す電流 I_{OUT} の電流値は、 $(I_{OUTA} - I_{OUTC})$ となり、(式2*

$$I_{OUT} = \{ V_{cd} (1 + \beta \Delta T) \} / \{ RA (1 + \alpha \Delta T) \}$$

(式28)

【0048】電流 I_{OUT} が抵抗16に流れることによって得られる実利得制御電圧 V_{cd0} は、抵抗16の温度係数を $+\alpha$ ($\alpha > 0$)、常温での抵抗値を RA とすると、★

$$V_{cd0} = V_{cd} (1 + \beta \Delta T)$$

よって、実利得制御電圧 V_{cd0} を VT 比例に設定することができる。

【0049】その結果、(式4)の M の温度依存性がほぼ零になるため、この M の温度依存性によって支配される可変利得装置1の利得制御特性の温度依存性がほぼ零になる。

【0050】可変利得装置1(図8と同一)の回路定数を $I_1 = 1 \text{ mA}$ 、 $I_2 = 0.1 \text{ mA}$ 、 $RE1 = 100 \Omega$ 、 $RE2 = 1 \text{ k}\Omega$ 、 $RL = 500 \Omega$ とし、実利得制御電圧 V_{cd0} を与えた場合の利得制御特性を図9に示している。図12と比較して、利得制御特性の温度依存性がほぼ零となり、大幅に改善されていることが分かる。

【0051】なお、ここでは抵抗の温度係数 α を正の値として説明したが、 α が負の値であっても、 I_{OUT} の電流値が $(I_{OUTA} + I_{OUTC})$ となるように回路を構成すれば(カレントミラー回路を1つ追加するだけで容易である)、実利得制御電圧 V_{cd0} を VT 比例に設定することができる。

【0052】また、図2の利得制御電圧印加装置を集積回路化した場合、電圧制御電流源15の電流値 I_0 を、外付けの抵抗を用いて発生させることになる。このとき、集積回路内部の抵抗値(電圧制御電流源13の電流値 I_R 及び電圧制御電流源14の電流値 I_{VTR} を得るための抵抗値)は $\pm 10\%$ 程度のバラツキがあるが、外付けの抵抗値が、集積回路内部の抵抗値に一致すれば、利得制御特性に温度依存性が見られなくなるため、外付けの抵抗値を調整することで対処できる。

【0053】(第2の実施形態)本発明の第2の実施形態における利得制御装置を図3に示す。可変利得装置1☆

$$I_{offn} = \{ V_{offn} (1 + \beta \Delta T) \} / \{ RA (1 + \alpha \Delta T) \}$$

(式30)

【0057】抵抗31から35に流れる電流値 I_{cn} (n は1~5の整数)は、 $(I_{OUT} + I_{offn})$ となるた◆

$$I_{cn} = \{ (V_{cd} + V_{offn}) \cdot (1 + \beta \Delta T) \} / \{ RA (1 + \alpha \Delta T) \}$$

(式26)

*電流が流れるので、出力端子OUTから流れ出す電流 I_{OUTC} の電流値は、 $(\beta/\alpha) I_{OUTB}$ となり、(式27)で表される。

※4)、(式27)から(式28)で表される。

★抵抗16の抵抗値は $RA (1 + \alpha \Delta T)$ で表されるため、(式29)で表される。

(式29)

☆が5段に継続接続され、各段の可変利得装置1の利得制御端子 V_c 、 V_{cx} には、利得制御電圧印加装置3とオフセット電圧印加装置4とによってオフセット接続用実利得制御電圧 V_{ctn} (n は1から5の整数)が与えられている。この V_{ctn} は、利得制御電圧 V_{cd} と、各段の可変利得装置に与えられるオフセット電圧 V_{offn} とを加えた電圧から変換された電圧である。なお、各段の可変利得装置1は図8の可変利得装置と同一のものである。

【0054】利得制御電圧印加装置3とオフセット電圧印加装置4とをまとめた回路例を図4に示す。利得制御電圧 V_{cd} により制御される電圧制御電流源21から25は、それぞれ、オフセット電圧設定用電流源26から30及び抵抗31から35に接続している。図3におけるオフセット接続用実利得制御電圧 V_{ctn} は、抵抗31から35に発生する電圧として出力される。

【0055】次に、図4に示した回路の動作について説明する。利得制御電圧 V_{cd} により制御される電圧制御電流源21から25の電流値 I_{OUT} は、図2の利得制御電圧印加装置の I_{OUT} と等しくなるように設定する。

【0056】オフセット電圧設定用電流源26から30の各電流値 I_{offn} (n は1~5の整数)は、常温で (V_{offn}/RA) の電流値を持ち、かつ、 VT/RA 比例の電流を出力する。このような特性を持つ電流は、通称バンドギャップ回路と呼ばれる回路により、容易に得ることができる。オフセット電圧設定用電流源26から30の各電流値 I_{offn} は、(式23)と同様にして、(式30)で表される。

◆め、(式28)、(式39)により(式31)で表される。

【0058】電流 I_{cn} が抵抗31から35に流れることによって得られるオフセット接続用実利得制御電圧 V_{ctn} は、抵抗31から35の温度係数を $+\alpha$ ($\alpha > 0$)、常温*

$$V_{ctn} = (V_{cd} + V_{offn}) \cdot (1 + \beta \Delta T) \quad (式32)$$

【0059】よって、実利得制御電圧 V_{cd} とオフセット電圧 V_{offn} を加えた電圧、($V_{cd} + V_{offn}$)を VT 比例に設定することができる。

【0060】その結果、(式21)の M_n の温度依存性がほぼ零になり、可変利得装置の利得制御特性の温度依存性がほぼ零になる。

【0061】各段の可変利得装置1 (図8と同一)において、回路定数を $I_1 = 1\text{mA}$ 、 $I_2 = 0.1\text{mA}$ 、 $R_{E1} = 100\Omega$ 、 $R_{E2} = 1\text{k}\Omega$ 、 $R_L = 500\Omega$ としたものを5段継続接続し、各段のオフセット電圧 V_{offn} を $\{0.1 \times (n-3)\}V$ (n は1から5の整数)とした場合の利得制御特性を図10に示している。図14と比較して、利得制御特性の温度依存性がほぼ零となり、大幅に改善されていることが分かる。

【0062】(第3の実施形態) 第3の実施形態では、図2の利得制御電圧印加装置に比して、近似的にはあるが、より簡潔に実利得制御電圧 V_{cd0} を VT 比例に設定できる利得制御電圧印加装置の例を図5の回路図で示す。

【0063】トランジスタ41と42の各エミッタ、トランジスタ43と44の各エミッタ、トランジスタ45と46の各エミッタ、及びトランジスタ47と48の各エミッタは、それ※

$$I_{51} = V_{cd0a} (1 + \beta \Delta T) / \{RA (1 + \alpha \Delta T)\} \quad (式33)$$

【0065】 V_{cd0} は利得制御電圧 V_{cd} に応じて、電流源51から54の電流が分割され抵抗49、50に流れることとて得られる。抵抗49、50の常温での抵抗値をそれぞれ★

$$V_{cd0} = MT \cdot V_{cd0a} (1 + \beta \Delta T) \quad (式34)$$

ただし、 MT は、(式35)で表される。

$$MT = \{(M_1 - 1) / (M_1 + 1) + \dots + (M_4 - 1) / (M_4 + 1)\} \quad (式35)$$

ここで、 M_n (n は1から4の整数)は、(式36)で★

$$M_n = \exp \{ [V_{cd} - (2n-5)V_d] / VT \} \quad (式36)$$

【0066】ここで、可変利得装置を複数段に継続接続し、各段の可変利得装置の利得制御電圧にオフセット電圧を与えて、各段の利得制御幅を適当に重ね合わせることで、より広い利得制御幅を持たせたように、 V_d の値を適当な値 (VT 程度) に設定すると、 MT はより広い V_{cd} の範囲で、近似的に V_{cd} に比例する。この範囲◆

$$V_{cd0} = k \cdot V_{cd} \cdot V_{cd0a} (1 + \beta \Delta T) \quad (式37)$$

この式は、(式29)と本質的に等価であり、 V_{cd0} が VT 比例に設定できていることが分かる。

【0068】この方法によれば、図2に示した利得制御電圧印加装置と異なり、集積回路化した場合でも、外付けの抵抗を必要とせず、かつ、集積回路内部の抵抗値のバラツキを補償するために、外付けの抵抗値を調整する

(式31)

*での抵抗値を RA とすると、抵抗31から35の抵抗値は $RA (1 + \alpha \Delta T)$ で表されるため、(式32)で表される。

※それぞれ同一の電流値をもった電流源51、電流源52、電流源53、及び電流源54を介して接地されている。トランジスタ41と42の各ベース間には利得制御電圧 V_{cd} とオフセット電圧 $3V_d$ との差電圧 ($V_{cd} - 3V_d$) が与えられ、同様にして、トランジスタ43と44の各ベース間には ($V_{cd} - V_d$) が与えられている。また、トランジスタ45と46の各ベース間には利得制御電圧 V_{cd} とオフセット電圧 V_d との和電圧 ($V_{cd} + V_d$) が与えられ、同様にして、トランジスタ47と48の各ベース間には ($V_{cd} + 3V_d$) が与えられている。トランジスタ41、43、45及び47の各コレクタは、抵抗49を介して電源に接続されている。また、トランジスタ42、44、46及び48の各コレクタは、抵抗50を介して電源に接続されている。トランジスタ47、48の各コレクタ間から発生する電圧が可変利得装置1の実利得制御電圧 V_{cd0} となる。

【0064】次に、図5に示した回路の動作について説明する。電流源51は常温で (V_{cd0a} / RA) の電流値を持ち、 VT / R 比例の電流を出力する。このような特性をもつ電流は、通称バンドギャップ回路と呼ばれる回路により、容易に得ることができる。電流源51の電流値 I_{51} は(式23)と同様に、(式33)で与えられる。

★ RA とすると、抵抗49、50の抵抗値は $RA (1 + \alpha \Delta T)$ で与えられるため、 V_{cd0} は(式34)のように表される。

◆は、図5に示した差動対の数を増やすことで、拡大可能である。

【0067】 MT が V_{cd} に比例するならば、 MT は $k \cdot V_{cd}$ の形で表せるので、(式34)は(式37)のように書き表せる。

ことも不必要となる。

【0069】さらに、図4のオフセット電圧印加装置を併用することで、図3に示すような複数段に継続接続した可変利得装置からなる利得制御装置を構成することも可能である。

【0070】(第4の実施形態) 本発明の第4の実施形

態における利得制御装置を図6に示す。可変利得装置1の利得制御端子Vc、Vcxには、利得制御電圧印加装置5が接続されており、利得制御電圧印加装置5によってnビットのデジタル信号(D1~Dn)から変換された実利得制御電圧Vcd0が与えられている。なお、可変利得装置1は図8の可変利得装置と同一のものである。

【0071】利得制御電圧印加装置5の回路例として、デジタル信号が4ビットの場合を図7に示す。トランジスタ61と62の各エミッタは電流源71を介して接地され、トランジスタ63と64の各エミッタは電流源71の2倍の電流値をもつ電流源72を介して接地され、トランジスタ65と66の各エミッタは電流源71の4倍の電流値をもつ電流源73を介して接地され、トランジスタ67と68の各エミッタは電流源71の8倍の電流値をもつ電流源74を介して接地されている。トランジスタ62、64、66及び68の各ベースにデジタル信号D1、D2、D3及びD4が与*

$$I_{71} = V_{cd0b} (1 + \beta \Delta T) / \{ RA (1 + \alpha \Delta T) \} \quad (式38)$$

ここで、抵抗69の常温での抵抗値をRAとすると、抵抗69の抵抗値はRA(1+αΔT)で与えられるため、デジタル信号D1~D4に応じて出力される実利得制御*

$$V_{cd0} = (D1 + 2 \cdot D2 + 4 \cdot D3 + 8 \cdot D4) V_{cd0b} (1 + \beta \Delta T) \quad (式39)$$

ただし、デジタル信号D1~D4は0か1の値をとるものとする。

【0073】よって、Vcd0はデジタル信号D1からD4に応じて、離散的(Vcd0b(1+βΔT)ステップで16値)にはあるが、VT比例に設定することができる。

【0074】ところで、図1に示した利得制御装置における利得制御電圧Vcdは、実際にはDAコンバータ出力により得られる電圧であることが多く、図6のような構成をとることで、利得制御装置としての機能が損なわれることはない。また、利得制御電圧印加装置5は、図2に使用される利得制御印加装置と異なり、デジタル信号により制御されるため、利得制御電圧印加装置出力が素子バラツキの影響を受けにくいという利点がある。

【0075】なお、図6ではデジタル信号のビット数と同数の制御端子を必要としているが、デジタル信号をパラレル-シリアル変換することにより、制御端子を1本にすることも可能である。

【0076】さらに、図4のオフセット電圧印加装置を併用することで、図3に示すような複数段に継続接続した可変利得制御装置からなる利得制御装置を構成することも可能である。

【0077】

【発明の効果】以上の説明から明らかなように、本発明の利得制御装置は、利得制御電圧に、熱電圧と同等の温度係数を持たせることで、可変利得装置の利得制御特性の温度依存性をほぼ零にすることができる。

*えられ(D1が最下位ビット、D4が最上位ビットとする)、各コレクタは抵抗69を介して、電源に接続されている。また、トランジスタ61、63、65及び67の各ベースにスレシヨルド電圧VTHが与えられ、各コレクタは電源に接続されている。抵抗69に発生する電圧が可変利得装置1の実利得制御電圧Vcd0となる。

【0072】次に、図7に示した回路の動作について説明する。デジタル信号(D1~D4)は論理が“1”のとき、電源電圧を出力し、論理が“0”のとき、0Vを出力するものとし、スレシヨルド電圧VTHを電源電圧の1/2に設定したとする。電流源71は常温で(Vcd0b/RA)の電流値を持ち、VT/R比例の電流を出力する。このような特性を持つ電流は、通称バンドギャップ回路と呼ばれる回路により、容易に得ることができる。電流源71の電流値I71は(式23)と同様に、(式38)で与えられる。

※電圧Vcd0は、抵抗R69に発生する電圧差として(式39)のように表される。

【0078】また、複数段に継続接続した可変利得装置を具備する利得制御装置では、広い利得制御幅を持ち、優れた直線性を持つとともに、温度依存性がほぼ零の利得制御特性を持つことができる。

【0079】また、利得制御電圧印加装置を完全に集積回路化することで、外付け部品による調整が不要となる。

【0080】また、利得制御電圧印加装置をデジタル信号で制御できる構成にすることにより、素子バラツキなどの影響を受けにくくなる。

【0081】また、本発明の利得制御方法は、単一または継続接続した複数の可変利得装置から成る利得制御装置の利得制御特性を、その温度依存性がほぼ零になるように制御することができる。

【0082】また、この利得制御装置を装備した携帯端末装置や基地局は、通信システムの厳しい温度特性の要求に応えることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における利得制御装置を示すブロック図、

【図2】本発明の第1の実施形態における利得制御電圧印加装置を示すブロック図、

【図3】本発明の第2の実施形態における利得制御装置を示すブロック図、

【図4】本発明の第2の実施形態における利得制御電圧印加装置及びオフセット電圧印加装置を示す回路図、

【図5】本発明の第3の実施形態における利得制御電圧

印加装置を示す回路図、

【図6】本発明の第4の実施形態における利得制御装置を示すブロック図、

【図7】本発明の第4の実施形態における利得制御電圧印加装置を示す回路図、

【図8】従来の利得制御装置に用いられる可変利得装置の具体回路図、

【図9】本発明の第1の実施形態における利得制御特性の温度特性、

【図10】本発明の第2の実施形態における利得制御特性の温度特性、

【図11】従来の利得制御装置に用いられる可変利得装置の利得制御特性（常温）、

【図12】従来の利得制御装置に用いられる可変利得装置の利得制御特性（温度特性）、

【図13】従来の利得制御装置に用いられる可変利得装

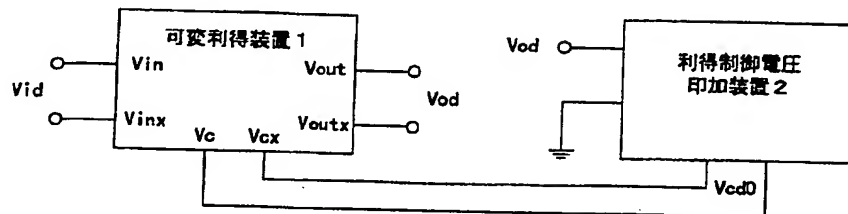
置を5段連続接続した場合の利得制御特性（常温）、

【図14】従来の利得制御装置に用いられる可変利得装置を5段連続接続した場合の利得制御特性（温度特性）である。

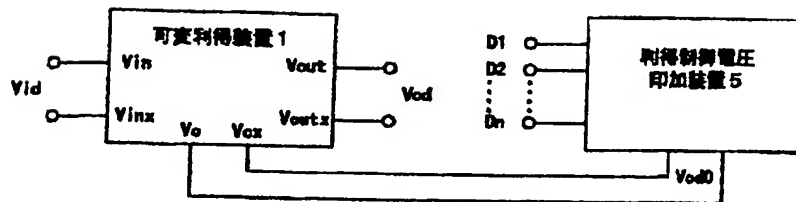
【符号の説明】

- 1 可変利得装置
- 2、3、5 利得制御電圧印加装置
- 4 オフセット電圧印加装置
- 11 2出力カレントミラー回路
- 12 温度係数補正用カレントミラー回路
- 13、15、21~25 電圧制御電流源
- 14、51~54、71~74、181、182、191、192 電流源
- 16、31~35、49、50、69、171、172、183、193 抵抗
- 26~30 オフセット電圧設定用電流源
- 41~48、61~68、101~106、111~116 トランジスタ

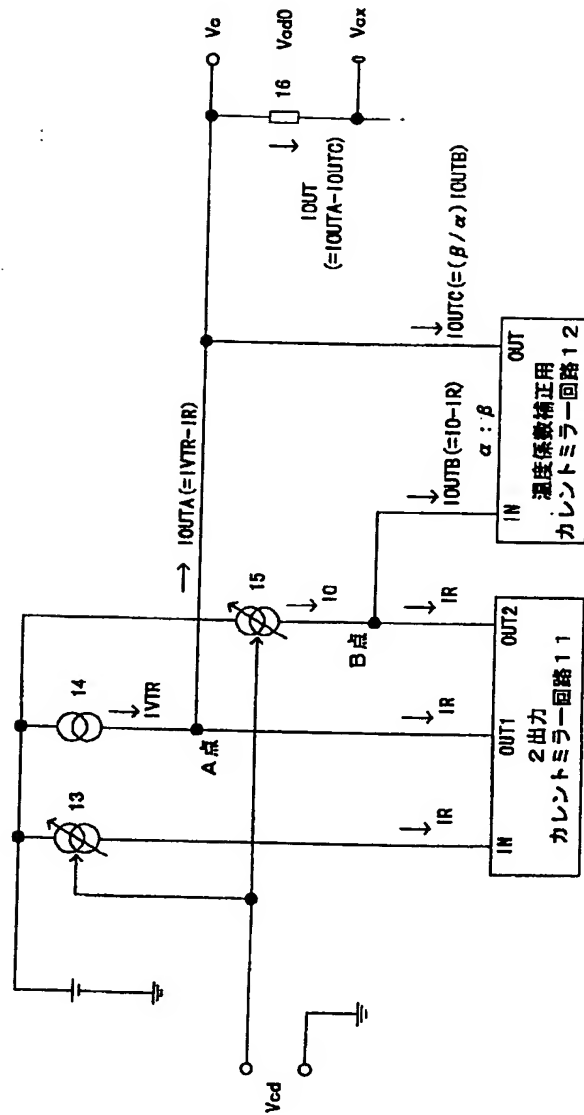
【図1】



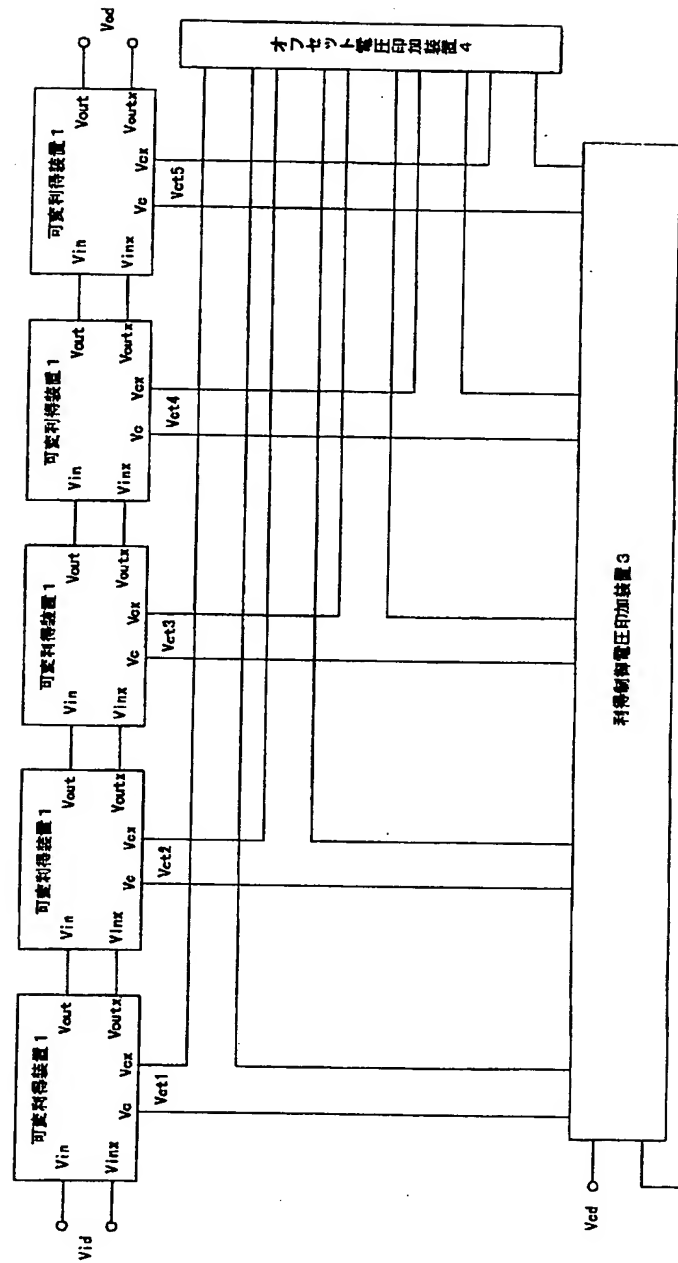
【図6】



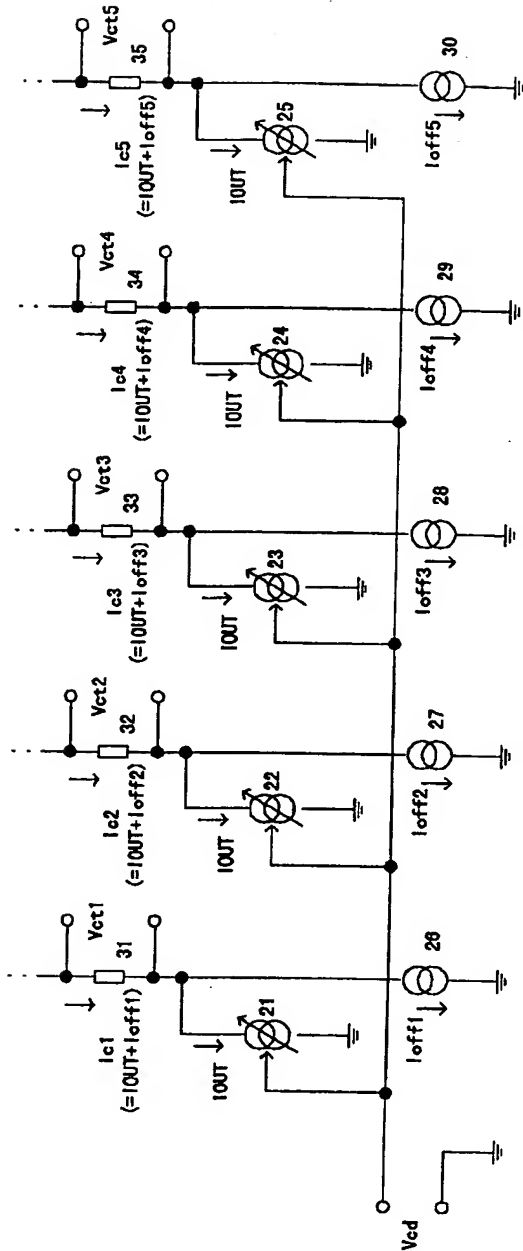
【図2】



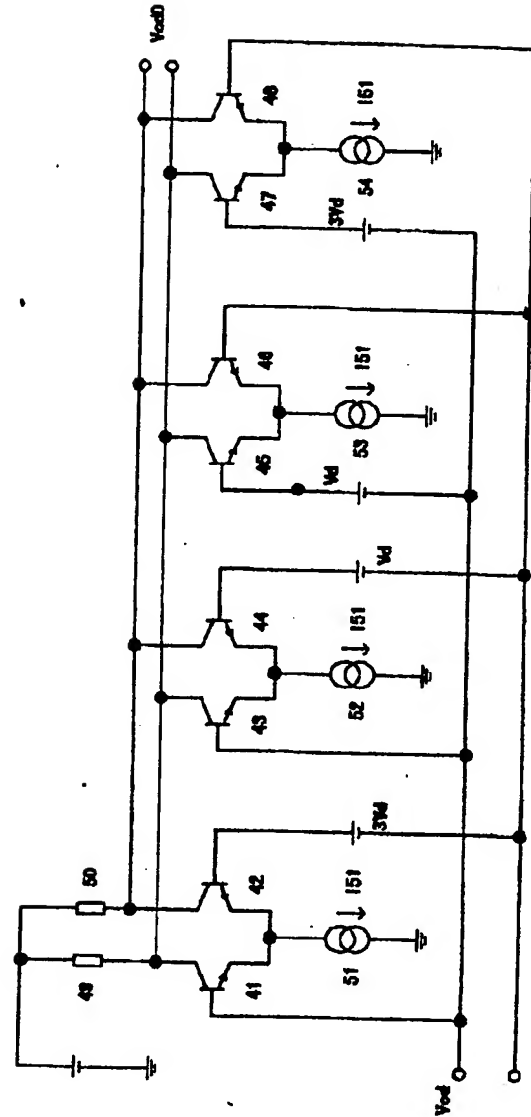
【図3】



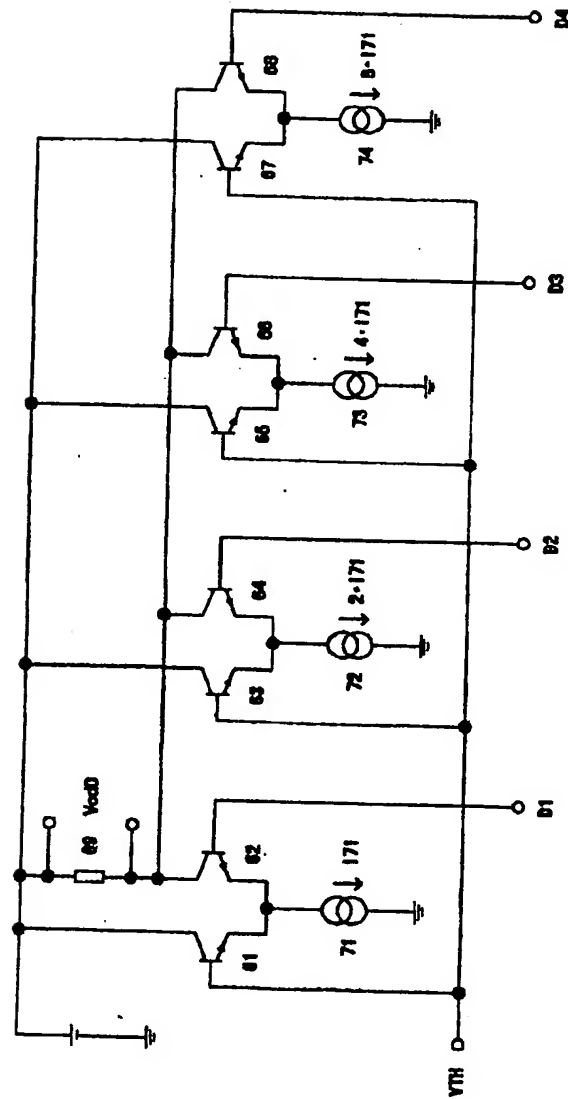
【図4】



【図5】



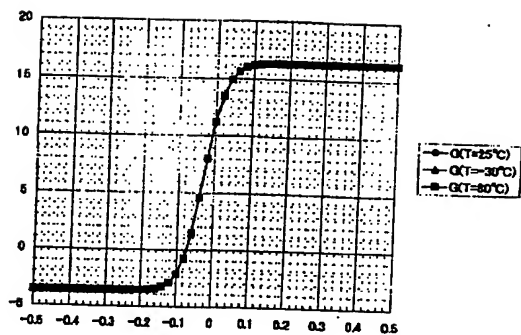
【図7】



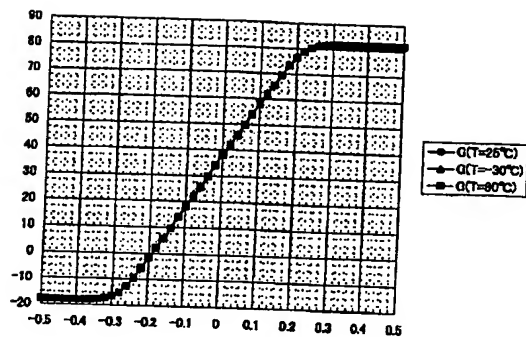
The diagram illustrates a differential amplifier circuit with the following components and connections:

- Input Stage:** A differential pair of NMOS transistors (103, 104) with gates tied to V_{in} and sources tied to V_{id} . Their drains are connected to V_{dd} through resistors 171 and 172.
- Current Mirrors:** PMOS transistors 105 and 106 mirror the currents from the input pair. Transistors 111 and 112 form a second current mirror stage, with gates tied to V_{in} and sources tied to V_{id} . Their drains are connected to V_{dd} through resistors 183 and 182.
- Cascode Stage:** PMOS transistors 113 and 114 are cascode devices for the first stage, with gates tied to V_{in} and sources tied to V_{id} . Their drains are connected to V_{dd} through resistors 191 and 192.
- Output Stage:** NMOS transistors 115 and 116 are cascode devices for the second stage, with gates tied to V_{in} and sources tied to V_{id} . Their drains are connected to V_{dd} through resistors 193 and 194.
- Output Nodes:** The final output voltages are V_{out} and V_{outt} , taken from the drains of transistors 115 and 116 respectively.
- Currents:** Various current components are labeled, including ΔI_{1a} , ΔI_{1b} , ΔI_{1c} , ΔI_{2a} , ΔI_{2b} , ΔI_{2c} , ΔI_{3a} , ΔI_{3b} , ΔI_{3c} , ΔI_{4a} , ΔI_{4b} , ΔI_{4c} , ΔI_{5a} , ΔI_{5b} , ΔI_{5c} , ΔI_{6a} , ΔI_{6b} , ΔI_{6c} , ΔI_{7a} , ΔI_{7b} , ΔI_{7c} , ΔI_{8a} , ΔI_{8b} , ΔI_{8c} , ΔI_{9a} , ΔI_{9b} , ΔI_{9c} , ΔI_{10a} , ΔI_{10b} , ΔI_{10c} , ΔI_{11a} , ΔI_{11b} , ΔI_{11c} , ΔI_{12a} , ΔI_{12b} , ΔI_{12c} , ΔI_{13a} , ΔI_{13b} , ΔI_{13c} , ΔI_{14a} , ΔI_{14b} , ΔI_{14c} , ΔI_{15a} , ΔI_{15b} , ΔI_{15c} , ΔI_{16a} , ΔI_{16b} , ΔI_{16c} , ΔI_{17a} , ΔI_{17b} , ΔI_{17c} , ΔI_{18a} , ΔI_{18b} , ΔI_{18c} , ΔI_{19a} , ΔI_{19b} , ΔI_{19c} , ΔI_{20a} , ΔI_{20b} , ΔI_{20c} , ΔI_{21a} , ΔI_{21b} , ΔI_{21c} , ΔI_{22a} , ΔI_{22b} , ΔI_{22c} , ΔI_{23a} , ΔI_{23b} , ΔI_{23c} , ΔI_{24a} , ΔI_{24b} , ΔI_{24c} , ΔI_{25a} , ΔI_{25b} , ΔI_{25c} , ΔI_{26a} , ΔI_{26b} , ΔI_{26c} , ΔI_{27a} , ΔI_{27b} , ΔI_{27c} , ΔI_{28a} , ΔI_{28b} , ΔI_{28c} , ΔI_{29a} , ΔI_{29b} , ΔI_{29c} , ΔI_{30a} , ΔI_{30b} , ΔI_{30c} , ΔI_{31a} , ΔI_{31b} , ΔI_{31c} , ΔI_{32a} , ΔI_{32b} , ΔI_{32c} , ΔI_{33a} , ΔI_{33b} , ΔI_{33c} , ΔI_{34a} , ΔI_{34b} , ΔI_{34c} , ΔI_{35a} , ΔI_{35b} , ΔI_{35c} , ΔI_{36a} , ΔI_{36b} , ΔI_{36c} , ΔI_{37a} , ΔI_{37b} , ΔI_{37c} , ΔI_{38a} , ΔI_{38b} , ΔI_{38c} , ΔI_{39a} , ΔI_{39b} , ΔI_{39c} , ΔI_{40a} , ΔI_{40b} , ΔI_{40c} , ΔI_{41a} , ΔI_{41b} , ΔI_{41c} , ΔI_{42a} , ΔI_{42b} , ΔI_{42c} , ΔI_{43a} , ΔI_{43b} , ΔI_{43c} , ΔI_{44a} , ΔI_{44b} , ΔI_{44c} , ΔI_{45a} , ΔI_{45b} , ΔI_{45c} , ΔI_{46a} , ΔI_{46b} , ΔI_{46c} , ΔI_{47a} , ΔI_{47b} , ΔI_{47c} , ΔI_{48a} , ΔI_{48b} , ΔI_{48c} , ΔI_{49a} , ΔI_{49b} , ΔI_{49c} , ΔI_{50a} , ΔI_{50b} , ΔI_{50c} , ΔI_{51a} , ΔI_{51b} , ΔI_{51c} , ΔI_{52a} , ΔI_{52b} , ΔI_{52c} , ΔI_{53a} , ΔI_{53b} , ΔI_{53c} , ΔI_{54a} , ΔI_{54b} , ΔI_{54c} , ΔI_{55a} , ΔI_{55b} , ΔI_{55c} , ΔI_{56a} , ΔI_{56b} , ΔI_{56c} , ΔI_{57a} , ΔI_{57b} , ΔI_{57c} , ΔI_{58a} , ΔI_{58b} , ΔI_{58c} , ΔI_{59a} , ΔI_{59b} , ΔI_{59c} , ΔI_{60a} , ΔI_{60b} , ΔI_{60c} , ΔI_{61a} , ΔI_{61b} , ΔI_{61c} , ΔI_{62a} , ΔI_{62b} , ΔI_{62c} , ΔI_{63a} , ΔI_{63b} , ΔI_{63c} , ΔI_{64a} , ΔI_{64b} , ΔI_{64c} , ΔI_{65a} , ΔI_{65b} , ΔI_{65c} , ΔI_{66a} , ΔI_{66b} , ΔI_{66c} , ΔI_{67a} , ΔI_{67b} , ΔI_{67c} , ΔI_{68a} , ΔI_{68b} , ΔI_{68c} , ΔI_{69a} , ΔI_{69b} , ΔI_{69c} , ΔI_{70a} , ΔI_{70b} , ΔI_{70c} , ΔI_{71a} , ΔI_{71b} , ΔI_{71c} , ΔI_{72a} , ΔI_{72b} , ΔI_{72c} , ΔI_{73a} , ΔI_{73b} , ΔI_{73c} , ΔI_{74a} , ΔI_{74b} , ΔI_{74c} , ΔI_{75a} , ΔI_{75b} , ΔI_{75c} , ΔI_{76a} , ΔI_{76b} , ΔI_{76c} , ΔI_{77a} , ΔI_{77b} , ΔI_{77c} , ΔI_{78a} , ΔI_{78b} , ΔI_{78c} , ΔI_{79a} , ΔI_{79b} , ΔI_{79c} , ΔI_{80a} , ΔI_{80b} , ΔI_{80c} , ΔI_{81a} , ΔI_{81b} , ΔI_{81c} , ΔI_{82a} , ΔI_{82b} , ΔI_{82c} , ΔI_{83a} , ΔI_{83b} , ΔI_{83c} , ΔI_{84a} , ΔI_{84b} , ΔI_{84c} , ΔI_{85a} , ΔI_{85b} , ΔI_{85c} , ΔI_{86a} , ΔI_{86b} , ΔI_{86c} , ΔI_{87a} , ΔI_{87b} , ΔI_{87c} , ΔI_{88a} , ΔI_{88b} , ΔI_{88c} , ΔI_{89a} , ΔI_{89b} , ΔI_{89c} , ΔI_{90a} , ΔI_{90b} , ΔI_{90c} , ΔI_{91a} , ΔI_{91b} , ΔI_{91c} , ΔI_{92a} , ΔI_{92b} , ΔI_{92c} , ΔI_{93a} , ΔI_{93b} , ΔI_{93c} , ΔI_{94a} , ΔI_{94b} , ΔI_{94c} , ΔI_{95a} , ΔI_{95b} , ΔI_{95c} , ΔI_{96a} , ΔI_{96b} , ΔI_{96c} , ΔI_{97a} , ΔI_{97b} , ΔI_{97c} , ΔI_{98a} , ΔI_{98b} , ΔI_{98c} , ΔI_{99a} , ΔI_{99b} , ΔI_{99c} , ΔI_{100a} , ΔI_{100b} , ΔI_{100c} .

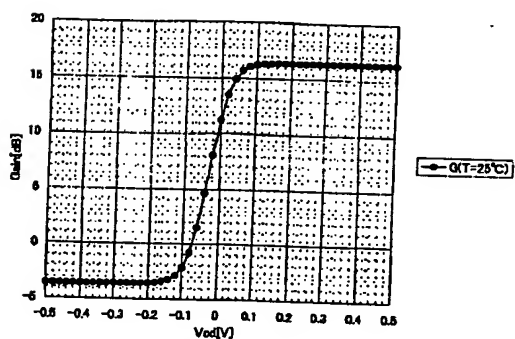
【図9】



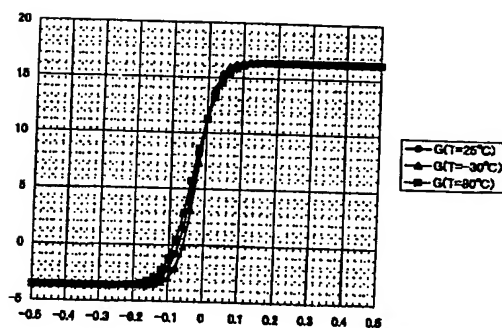
【図10】



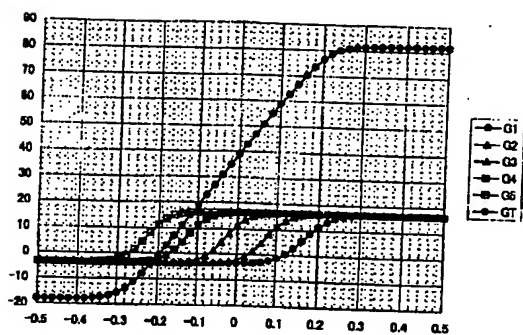
【図11】



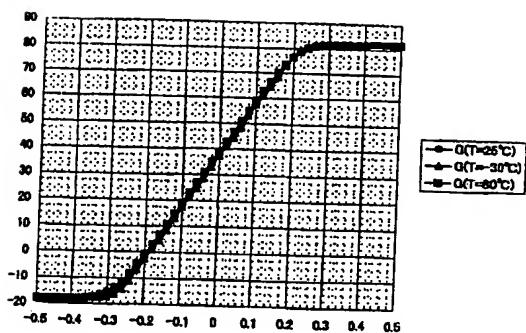
【図12】



【図13】



【図14】



フロントページの続き

Fターム(参考) 5J090 AA01 CA02 CA13 CA91 CN04
FA07 FN11 HA02 HA25 KA02
KA05 KA07 KA09 KA33 SA13
TA04
5J100 AA18 AA25 CA00 CA01 CA05
CA15 CA18 CA19 CA29 FA01
FA02